

Patent

Patent No 461108 Publication Date 2001/10/21
Application No 089116326 Filing Date 2000/8/14
Title Semiconductor device
IPC H01L29/40
Author / Inventor

KUNIKIYO,
TATSUYA
(JP) :

Applicant

Name Country Individual/Company
MITSUBISHI JP Company
ELECTRIC
CORP.

An object is to reduce noise superimposed upon a signal carried on an interconnection or cross-talk. Dummy interconnections (9, 21 and 25) are formed in the same

layers respectively as interconnections (8, 19 and 28) formed in a plurality of layers. The dummy interconnections (9, 21 and 25) are connected through dummy plugs

(22 and 26). At least the dummy interconnections (9a, 21a, 21c and 25a) and the dummy plugs (22a, 26a and 26c) are fixed at a ground potential

申請日期: 89.8.14		案號: 89116326	
類別: H01L 27/10		(以上各欄由本局填註)	
公告本			
發明專利說明書		461108	
半導體裝置			
發明名稱	英文	Semiconductor Device	第93121131 號初審引證附件
姓名 (中文)	國清辰也		
姓名 (英文)	Tetsuya KUNIKIYO		
發明人	國清辰也		
姓名 (中文)	日本		
姓名 (英文)	日本國東京都千代田區丸の内二丁目8番3號 三菱電機株式會社		
姓名 (中文)	三菱電機株式會社		
姓名 (英文)	三菱電機株式會社		
回註	日本		
地址 (事務所)	日本國東京都千代田區丸の内二丁目2番3號		
代理人	姓名 (中文)	谷口一郎	
代理人	姓名 (英文)		
代理人	姓名 (英文)		

89116326.pdf

第1頁

461108


四、中文發明摘要 (發明之名稱: 半導體裝置)
本發明之半導體裝置，係減小配線所傳信號上重量之雜訊或干擾。 與關於多層之配線8、10、28在同一層分別形成虛設配線0、21、25。虛設配線0、21、25之間，用虛設接墊22、26連接。至少將虛設配線0a、21a、21c、25a和虛設接墊22a、26a、26c固定於接地電位上。
英文發明摘要 (發明之名稱: Semiconductor Device)
An object is to reduce noise superimposed upon a signal carried on an interconnection or cross-talk. Dummy interconnections (9, 21 and 25) are formed in the same layers respectively as interconnections (8, 19 and 28) formed in a plurality of layers. The dummy interconnections (9, 21 and 25) are connected through dummy plugs (8a, 21a, 21c and 25a) and the dummy plugs (22a, 26a and 26c) are fixed at a ground potential.

9116326.pdf

第2頁

461108

本報已向 國(地區)申請專利 日本 JP	申請日期 2000/01/13	案號 2000-004266	主編係本報 有
有關微生物已寄件於	寄件日期	寄件號碼	備



8910204.jpg 第 3 頁

461108

五、發明說明 (1)

【發明之詳細說明】



【發明所屬之技術領域】

本發明關於具有在半導體基板主面上方形形成多層配線之多層配線構造之半導體裝置，尤其關於降低配線所傳送信號中重疊之雜訊或串擾方面之構造。

【先前技術】

LSI (大型積體電路) 所代表之半導體積體電路具有在半導體基板主面活性區形成之多個半導體元件。由例如 STI (淺溝隔離: Shallow Trench Isolation) 等之元件分線構造，使這些半導體元件相互呈電隔離。這些半導體元件用導電體 (配線) 有選擇性地連接，以實現積體電路之功能。

作為導電體之材料，通常採用含有高濃度摻雜物之多結晶矽或金屬。作為金屬配線，採用銅、鋁、鎢、鉭等。作為半導體基板主面上形成得最靠近之配線之捆電極，採用鋁、多結晶矽、多結晶矽/金屬矽化物之雙層構造、鎢和銅等。金屬矽化物採用鎢、鎢、鎢、鎢、鎢等金屬。作為形成配線之方法，以往已提出兩種。第一種方法中，利用 CVD (化學汽相沉澱精法: Chemical Vapor Deposition) 或蒸鍍等，在半導體基板之整個主面堆積配線材料後，塗敷阻劑。然後，通過轉印作業進行製圖，從而形成阻劑圖案。進而，使用該阻劑圖案，對配線材料作異方性蝕刻，從而形成配線圖形。本說明書中，將第一方法暫稱為“蝕刻法”。



8910204.jpg 第 4 頁

五、發明說明(2)

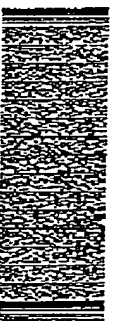
第二方法中，在半導體基板主面形成之絕緣膜上塗敷阻劑層後，通過轉印作業，對此阻劑層製作圖形，從而形成阻劑基膜。然後，使用該阻劑基膜進行異方性蝕刻，從而在絕緣膜上有選擇性地形成溝。接著，通過採用CVD或蒸鍍法，用配線材料填入溝內。然後，用CMP（化學機械拋光法：Chemical Mechanical Polishing）使絕緣膜表面與配線材料表面平坦，兩個表面大體上相互一致。此第二方法稱為鍍敷（damascene）法。

首先說明蝕刻法之配線形成作業。圖27～圖29為顯示出已有蝕刻法配線層形成作業之製造作業圖。

首先，執行圖27之作業。圖27之作業中，首先在矽基板之半導體基板101之主面，形成作為元件分離構造之STI102和作為半導體元件之MOSFET。含MOSFET分別具有半導體基板101之主面中有選擇性地形成之區域，即一對N⁺源極/汲極區（將源極區與汲極區之組稱為“源極/汲極區”）106、一對N⁺源極/汲極區103和通道區104。在主面上，有選擇性地形成具有非晶多結晶矽層108與結晶矽層109雙層構造之開極，使該開極以開極絕緣膜107為中介與通道區104對置。適用例雙111通過氫氧化矽化矽膜110覆蓋開極。

在半導體基板101之主面，有選擇性地形成STI102，使相鄰MOSFET之間呈電隔離。形成MOSFET之前，在半導體基板101上形成通道停止層103。

形成MOSFET和STI102後，在半導體基板101之主面上方



891037a.tif

第 6 頁

4b1108

五、發明說明(3)

堆積層間絕緣膜112，將側壁115也加以覆蓋。接著，在層間絕緣膜112中N⁺源極/汲極區106之正上方有選擇性地形成通孔113後，堆積絕114，使其填入該通孔113，而且也覆蓋層間絕緣膜112之上表面。現在通孔113之如檢查起MOSFET源極/汲極之作用。

在通孔113之底面露出半導體基板101，因而絕114折出對半導體基板101，有可能引起漏電流。為了防止這點，在通孔113之底面和側面堆積障蔽金屬層（圖中省略）。作為障蔽金屬層之材料，可用例如TiN（氮化鈦）等。

在絕114之上，堆積ARC膜（防反射膜：Anti Reflection Coating）115。堆積ARC膜115，是為了防止轉印作業中，曝光用之光在絕114之表面反射，使阻劑圖形之線條形成得比設計之細，即防止所謂光學現象。然後在ARC膜115上塗敷阻劑，經轉印作業，形成阻劑基膜116。

下面，執行圖28之作業。在圖28之作業中，首先用阻劑基膜116對絕114進行異方性蝕刻，從而形成絕緣膜150。然後，堆積層間絕緣膜117。這時，沿半導體基板101之主面堆積絕緣膜150之厚度高之區域（即配線密度高之區域）118中，層間絕緣膜117之表面上出現之位差120小。與此相反，配線密度低之區域119中，位差121變大。像位差121那樣位差大時，在層間絕緣膜117上堆積鋁，進而通過轉印作業形成第二絕緣膜時，不能高精度進行該作業之圖形製作，產生加工上之問題。



891037a.tif

第 6 頁

461108

五、發明說明(4)

為了避免上述之問題，嘗試在層間絕緣膜117堆積絕緣前，用CMP使層間絕緣膜117變平之方法。然而，由於配線密度不均勻，即使進行CMP後，層間絕緣膜117表面之位置也不能充分消除，仍有殘留，存在問題。

作為避免上述問題之方法，公知之方法如圖29所示，形成與MOSFET之動作無關之虛設配線122，以補充密度低之絕緣膜150，由此，虛設配線密度之不均勻性，消除配線密度低之區域能將層間絕緣膜117之表面上出現之位置123抑制得減小，因而可提高CMP作業後層間絕緣膜117之表面平坦性。這樣，為了在CMP作業後提高半導體基板101上之排線物表面之平坦性，可以說形成虛設配線圖形是必須的。

下面，說明銅鍍法之配線形成作業。為了提高LSI之動作速度，已知LSI之配線材料中採用配線電阻比鋁(Al)低之銅(Cu)之技術。例如，比較20℃時之電阻率，則Cu為1.70 $\mu\Omega\cdot\text{cm}$ ，比鋁之電阻率2.74 $\mu\Omega\cdot\text{cm}$ 低。然而，上述銅鍍法難以形成銅配線，因而形成銅配線之作業廣泛採用蝕蝕法。

圖30～圖38為顯示出已有銅鍍法配線形成作業之製造作業圖。首先，如圖30所示，在矽基板之半導體基板101之主面上形成作為元件分離牆之ST1102和作為半導體元件之MOSFET。至於各MOSFET之構造，圖30所示之MOSFET除N⁺源極/汲極區106上設有矽化物層145外，具有與圖27所示MOSFET相同之構造。

8911021a.gif



第 7 頁

461108

五、發明說明(5)

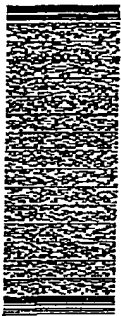
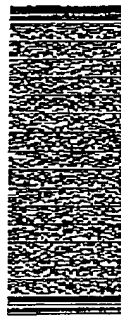
形成MOSFET和ST1102後，在半導體基板101之主面上方堆積層間絕緣膜127，以覆蓋側壁111。接著，在層間絕緣膜127中，N⁺源極/汲極區106之正上方有選擇性地形成通孔124。在此階段，不形成圖30所示之配線溝125，層間絕緣膜127採用例如介電係數2～3左右之絕緣膜。矽化物膜之介電係數為3.9左右，但採用介電係數比該值低之絕緣膜，其原因在於減小相鄰開極之間成閉極與通孔124所埋封塞之間之寄生電容，以提高半導體裝置之動作速度。

接著，堆積阻劑塗層(圖中未顯示出)，以填充通孔124。然後，形成阻劑平坦基，並對層間絕緣膜127進行異方性蝕刻，從而形成配線溝125。這時，往往形成配線溝125之密度高之區域129和密度低之區域130。

接著，去除通孔124所填充之阻劑塗層後，堆積降蝕金屬層126，以覆蓋通孔124之底面和側面，配線溝125之底面和側面，以及層間絕緣膜127之表面。作為降蝕金屬層126之材料，可用W、TiN、Ta₂N等氮化金屬膜，形成降蝕金屬層126之原因在於防止通孔124和配線溝125中填充之金屬原于熱擴散到層間絕緣膜127。

下面之圖31所示作業中，通過採用例如CVD或PVD(物理汽相沈積法)，堆積銅，使其填充到通孔124和配線溝125，進而覆蓋層間絕緣膜127之表面。這時，往往高密度區129中銅堆積表面出現之位置132小，低配線密度區130中位置133變大。這樣，位置大小不一，則在後面之CMP作業進行平坦化，也難於獲得足夠平坦之表面。

8911021a.gif



第 8 頁

461108

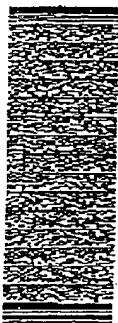
五、發明說明 (6)

為了避免上述問題，如圖32所示，在低配線密度區130（即配線間隔大之區域），形成虛設配線溝134，抑制配線間隔不均勻。這種技術已公知，利用該技術，可將銅堆積表面出現之位差抑制得較小，使區129和區130之間變成均勻。

採用電解電鍍裝置堆積銅時，可使圖31所示銅表面之位差132、133之不均勻減小到相當程度，即使這樣，配線密度仍有差別，則在CMP作業中，配線密度低之區域130之銅配線產生過度拋光之問題。觀察過度拋光之銅配線剖面時，可看到銅之表面凹陷，就像盆地，因而發現象稱為「窪曲」。

配線密度越高，單位面積除去餘之銅之量越大，因而研磨速率降低。因此，低配線密度區130比高配線密度區129研磨速率大，若優先考慮高密度區129之平坦性，則低密度區130之銅配線過分研磨，產生窪曲。銅配線中產生窪曲，則銅配線之剖面積減少，因而配線遲延變大。即，半導體裝置之動作速度降低。為了避免窪曲之問題，也需要設置虛設配線，減少配線密度之不均勻。由此，同時提高銅配線之平坦性。

接著，圖33之作業中，首先通過進行CMP，將層間絕緣膜127作為停止層，使銅之表面變平。利用此CMP作業，使層間絕緣膜127之表面和銅配線之表面變平，兩個表面大致上相平一致。此作業中，也會除層間絕緣膜127之上面形成之降蝕金屬126。這時，形成配線125b和虛設配線



8916236_5-16

第 9 頁

461108

五、發明說明 (7)

184b。任何配線材質都同樣是銅，但為了便於辨別圖33中標上不同之銅線。

接著，堆積層間之絕緣膜135和136。層間絕緣膜135之材料採用例如氧化矽或氮化矽。形成層間絕緣膜135之目的在於防止層間之銅配線表面被氧化。氮化矽和氮化矽具有之性質能防止大氣中或半導體裝置製造裝置所用氣體環境中之氧化劑（氧、水等）由於熱擴散或滲移而到達銅配線。層間絕緣膜136之材料採用例如介電係數為2~3之絕緣體。層間絕緣膜136採用介電係數比較小之絕緣體，是為了減少配線間之電容，從而縮短半導體裝置動作時之遲延時間。

接著，通過轉印作業，用製出圖形之阻劑單基（圖中未顯示出）進行異方性蝕刻，從而在層間絕緣膜135、136形成通孔137。然後，形成有機掩蓋138，填充通孔137之下半部分。

下面之圖34所示作業中，首先，在非微阻劑層（圖中未顯示出）後，通過轉印作業進行圖形製作，從而形成阻劑單基（圖中未顯示出）。接著，用阻劑單基進行異方性蝕刻，從而在層間絕緣膜136上形成虛設配線溝139和虛設配線溝140。將層間絕緣膜112上形成虛設配線溝139和虛設配線溝140是為提高後面進行之CMP作業所得銅配線之平坦性。

接著，在圖35之作業中，首先堆積降蝕金屬141後，堆積銅142，以填充通孔137和配線溝139、140，進而僅蓋層



8916236_5-16

第 10 頁

4b1108

五、發明說明(8)

間絕緣膜136之表面。由於虛設配線溝140，可將位基143抑制得較小。

下面之圖36所示作業中，首先通過進行CMP，將層間絕緣膜136作為終止層，使銅之表面變平。由於具有虛設配線溝140，平坦性提高。利用此作業，形成填充通孔137之銅栓塞、填充配線溝139之銅配線144，以及填充虛設配線溝140之虛設銅配線145。

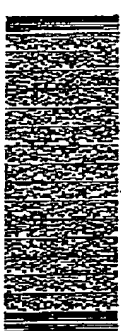
接著，例如通過堆積氧化鈣，形成層間絕緣膜146，進而例如通過堆積SiOF形成層間絕緣膜147。

如上文所述那樣，在層間絕緣膜上形成配線溝和通孔後，進行障礙金屬之形成和銅之埋入及堆積，進而進行CMP處理，以去除多餘之銅。這一系列之作業稱為雙鍍法(dual damascene)。虛設圖形給條係提高CMP作業之平坦化外，還被設置用來修正轉印作業中依靠迴邊圖形之形狀，確定精加工之阻刻層形狀這樣之迴邊效應。

【發明所欲解決之問題】

如上所述，設置圖28之虛設配線122和圖38之虛設配線134b、145，其目的是提高配線和層間絕緣膜平坦性，因而沒有直接關於半導體裝置所形成積體電路之電路功能。因此，歷來虛設配線不連接半導體裝置所具備之任何電路端子，原樣處於電浮動狀態。

隨著近年LSI集成化之進步，配線間距變窄，動作頻率達到幾百MHz～幾GHz，從而產生處於電浮動狀態之虛設配線引起之問題。第一，第一配線，例如預充電配線等，其



4916256.gd

第 11 頁

4c1108

五、發明說明(9)

電位在短時間內從0V(接地電位)變化到 V_{DD} (高電位側電源電位)，從而電流流通時，該配線周圍產生磁場環路。由於電磁感應，該磁場環路在相鄰虛設配線上產生位移電流。位移電流一直流通到虛設配線之電位變成相同為止。虛設配線由於為電浮動，其電位取決於電路動作之經歷。該位移電流大，則虛設配線周圍產生磁場環路，此磁場環路在虛設配線和鄰之其他配線上激發電磁感應之位移電流。產生該電流成為配線間之問題。

第二、某配線與虛設配線之間之間隔變窄，則他們之間之耦合電容變大。因此，隨著流過過配線之電荷量，虛設配線中產生之電位像電荷量也變大，此較像電荷影響其他配線之信號，從而成為產生雜訊之原因。

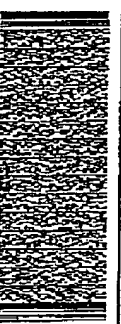
上述兩種現象可稱為通過虛設配線之配線間串擾。這種串擾對鄰近電路影響尤甚，因而成為大問題。

本發明是為解決已有設備中之上述問題而完成的，其目的在於提供能減少配線所傳信號上重疊之雜訊或串擾之半導體裝置。

作為揭示本發明所關於技術之文獻，已知有日本專利特開平8-222632號公報(以下稱為文獻1)、日本專利特開平10-199882號公報(以下稱為文獻2)和日本專利特開平4-178126號公報(以下稱為文獻3)。

【解決問題之手段】

第一發明之裝置為一種半導體裝置，具備：具有主面並沿該主面置入半導體元件之半導體基板；在前述主面上形



4916256.gd

第 12 頁

401108

五、说明说明 (11)

區、區域與環型電路中之多個功能塊對應；前述多個功能塊分別和前述元件分離構造一起被前述導電層包圍。

第5發明之裝置，在第2至第4中之任一發明之半導體裝置中，前述元件分離構造之一部分上形成溝，前述構造埋入該前述導電層。

第6發明之裝置，在第2至第4中之任一發明之半導體裝置中，前述半導體基板還具有埋入絕緣層；前述元件分離構造埋入前述絕緣層。

第6發明之裝置，在第2至第4中之任一發明之半導體體裁中，前述半導體基板選具有埋入超餘層之部分；前述等電層有選擇性地貫穿前述元件分離結構之前述部分，並到達前述埋入超餘層。

所以發明之裝置，在第1、第3或第4發明之半導體裝置中，前述虛設配線配置成將前述兩層層中之至少一層上前述配線包含之配線部分夾在中間。

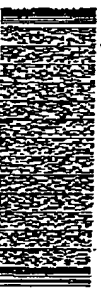
第8發明之裝置，在第7發明之半導體裝置中，前述盒設配線配置成延至至少一層之上層覆蓋基板上前述配線部分之上方。

第8發明之裝置，在第1、第3、第4、第7或第8發明之半導體裝置中，前述穩定電位線為前述低電位側電源線、前

之預充電線，或者包含在，前述配線中傳達基板電位之基板電位線。

第10發明之裝置，在第1至第9之任一發明之半導體裝置中，將上述電位線與上述電位線連接，以將上述電位線與上述電位線連接。

仲方向反覆凹凸之部分。



461108

五、發明說明(12)

第11發明之裝置，在第1至第10之任一發明之半導體裝置中，前述虛設配線在沿前述主面之垂直面之剖面形狀中，具有沿延伸方向反復凹凸之部分。

第12發明之裝置，在第11發明之半導體裝置中，前述反復凹凸部分中之凸起部分連接配置在下層之虛設配線部分。

第13發明之裝置，在第1至第12之任一發明之半導體裝置中，還具備絕緣化膜，該絕緣化膜覆蓋前述多層中之最上層，比前述層間絕緣膜膜厚較大。

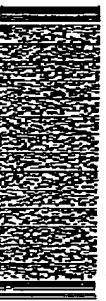
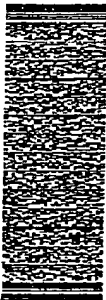
第14發明之裝置，在第13發明之半導體裝置中，還具備與前述絕緣化膜接觸之散熱件。

第15發明之裝置，在第14發明之半導體裝置中，前述最上層中還配置前述虛設配線；前述半導體裝置還具備導電性之另一虛設檢査器，該檢査器選擇性地埋設在前述絕緣化膜中，使前述散熱件與前述虛設配線之前述最上層部分連接。

【發明之實施形態】

1.實施形態1

本發明實施形態1之半導體裝置，其特徵為：在多层形成虛設配線，這些虛設配線由虛設檢査器連接，而且這些虛設導電體（虛設配線和虛設檢査器之總稱）連接傳遞接地電位之配線，從而半導體裝置動作時，虛設導電體之電位固定為接地電位。由於虛設導電體之電位固定為接地電位，與虛設導電體相鄰之導電體（配線和檢査器之總稱）之



8916326.tif

第 15 頁

461108

五、發明說明(13)

電壓變化引起之位移電流和鏡像電荷不會長時間持續存在，虛設配線。因此，可獲得大幅度減小起因於虛設配線或虛設檢査器中發生位移電流和鏡像電荷、並在相鄰之其他配線或檢査器散發之雜訊。

1.1裝置之製造作業和構造

下面，說明實施形態1之半導體裝置之最佳製造作業。通過製造作業之說明，虛設配線之含義和作為製成品之半導體裝置之構造，都能同時明白。以下之說明中，舉出半導體裝置板為矽基板之例子，但本發明不限於該例。這點，其他實施形態中也相同。

圖1~圖7為實施形態1之半導體裝置之製造作業圖。首先進行圖1之作業，圖1之作業中，首先，在矽基板之半導體基板1上形成通道分割層（通道終止層）3。然後，在半導體基板1之主面，形成作為元件分離構造之ST12和作為半導體元件之MOSFET。在半導體基板1之主面有選擇性地形成ST12，使相鄰MOSFET之間電隔離。

MOSFET之製造作業，眾所周知，因而僅對MOSFET簡單說明其形成後之構造。即，各MOSFET分別具備在半導體基板1之主面中有選擇性地形成之區域：一對N⁺源極/汲極區（將源極區和汲極區之總稱為“源極/汲極區”）41、一對N⁺源極/汲極區42和通道區43。由一對N⁺源極/汲極區41和一對N⁺源極/汲極區42形成一對源極/汲極區40。在一對N⁺源極/汲極區41上，形成一對矽化物層45。

如圖2放大後所示，在半導體基板1之主面上，有選擇性



8916326.tif

第 16 頁

401108

五、發明說明 (14)

地形成具有非晶多結晶矽層54和結晶矽化物層58雙層構造之開極6，使其以開極氧化膜58為中介，與通道區43對置。由側壁51通過氮化矽氧化膜52發射開極6。包含側壁51及其內部之構造體50暫稱為開極構造體。如圖1所示，有時還在ST12之上而設置開極構造體50，作為開極配線。

形成MOSFET和ST12後，在半導體基板1之主面上方堆積層間絕緣膜4，使其也覆蓋側壁51。為了減少配線間之電容，層間絕緣膜4之材料最好採用例如SiO₂等介電係數3.5以下之絕緣體。

然後，通過採用鍍敷法，形成作為MOSFET之源、汲極之銅粒8a、銅配線8(8a~8g)和虛設銅配線9(8a~8b)。在這些導電體與層間絕緣膜4之間，插入降載金屬7。作為降載金屬7之材料，可用W、TiN、Ta₂N等氮化金屬膜。為了防止露出之銅配線8、9被氧化，堆積氮化矽膜作為層間絕緣膜5。這裏進行之鍍敷法，其過程與圖30~圖33中描述之過程相同，因而省略詳細說明。

下面之圖3所示作業中，首先，堆積層間絕緣膜10，然後經過圖案公知之轉印作業，形成阻劑單基，並利用該阻劑單基進行異方性蝕刻，從而在層間絕緣膜10中，有選擇性地形成通孔12。這裏之特徵是，不僅在銅配線8a~8c上，而且在虛設銅配線9a、9b上形成通孔12。接著在通孔12之下部填充有堆積膜13。

接著之圖4所示作業中，首先，經過轉印作業，形成阻劑單基並利用該阻劑單基，在層間絕緣膜10進行異方性蝕



891032a.tif



第 17 頁

461108

五、發明說明 (15)

刻，從而在通孔12之上部形成配線溝14和虛設配線溝15。如圖4左端附近所置阻極，也可在沒有通孔12之層間絕緣膜10之上而部分形成配線溝14和虛設配線溝15。

阻劑塗層13(圖3)所起之作用是，在進行上述異方性蝕刻時，防止位於通孔12之底面或側面之銅配線或層間絕緣膜受到蝕刻損壞。形成虛設配線溝15之目的在於抑制阻劑塗層密度不均勻而CMP作業後之平坦性降低。

下面之圖5所示作業中，首先在配線溝14、虛設配線溝15和通孔12之底面和側面，以及層間絕緣膜10之上而，形成降載金屬16。作為降載金屬16之材料，可用例如氮化鈦(TiN)、氮化鎢(WN)、氮化鉭(TaN)等金屬氮化物。形成降載金屬16之目的在於防止作為配線材料之銅之原子擴散到層間絕緣膜10。

接著，通過利用CVD、PVD或電鍍裝置，堆積銅17，使其填充到通孔12、配線溝14及虛設配線溝15，進而覆蓋層間絕緣膜10之表面。如以上所述那樣利用CVD或PVD堆積銅17時，由於虛設配線溝15可抑制銅17表面出現之位差18，使其小到表面大致均勻。用電鍍法堆積銅17時，配線密度不均勻引起之位差18進一步變小。

下面之圖6所示作業中，通過用CMP裝置以化學機械方式去除多餘之銅，進行平坦化，使層間絕緣膜10之上表面與銅17之上表面大致上相互一致。此作業中，去除層間絕緣膜10上面覆蓋之降載金屬16，從而層間絕緣膜17起終止層之作用。通過此作業從銅17形成通孔12中填充之銅粒8a



891032b.tif



第 18 頁

٥٠٠

五、發明說明 (17)

使其變低。換句話說，換地之處設控基或虛設配線起將作號線與外部遮蔽開之作用，因而防止作號配線之間之干擾或雜訊混入到信號配線。

虛設配線8、21、25在圖7中未出現之部分連接到接地點。在實施形態2詳細說明虛設配線與接地配線之連接形態。

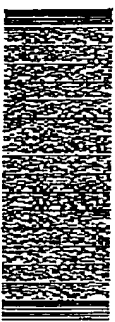
虛設配線21a與虛設配線21c通過上層之虛設配線25a和虛設配線26a、26c電連接，因而連接公共接地配線。能將電位固定於0V（接地電位）。虛設配線26a在與半導體基板1之主面平行之平面中，其周圍圍成層之信號配線也圍，因而在配線配置方面不能在同一平面上而將電位固定到接地配

線時，如圖7所示，也能在3線空間中，通過檢査連接多條依
虛設配線，從而連接到公共之接地點。這是本發明得到
之優點。

圖7所示構造中，配線18a、檢査線21a、21c、25a和
虛設檢査線26a、26b、26c包圍，因而追蹤效果大。對傳遞
微小信號之配線（例如追蹤存儲單元與輸出放大器之位線配
線）分配配線18a時，S/N提高。配線25b和檢査線26b由虛設配
線25a、25b和虛設檢査線26a、26b與外界遮蔽，因而同樣
S/N比較高。

1.2 同系統技術比較

已公開之文獻¹中，揭示丁迪維直接開採於半導體裝置之電路動作之配線和虛設檢查之裝置例。然而，沒有揭示這樣虛設配線與虛設檢查這一本中，詳實地形態¹之特徵。文獻¹



第 20 頁

401708

五、發明說明 (18)

之[0018]節中記載："這樣之(根據前節之文章前後關係,相當於虛設檢査器那樣之)虛設圖形線條係用金屬形成,因而最好降到電氣上中性,"從本領域動作者之觀點看,"降到電氣上中性"解釋為將電位固定到接地電位,但這是虛設檢査器直接與電路動作之接地配線,並非直接虛設配線。即,文獻1沒有揭示虛設檢査器與虛設配線之連接。

半導體裝置製造作業中,在進行配線和檢査之佈局方面,即使虛設檢査器處於遠離接地配線之位置時,本實施形態1之半導體裝置中,也能通過虛設配線將虛設檢査器連接到接地配線。後面將所述之實施形態2中,顯示出將虛設配線電位固定到高電位側電源配線等,而不是固定到接地配線。即使在虛設檢査器處於遠離高電位側電源配線之位置時,也可通過虛設配線固定電位。文獻1中,沒有揭示虛設檢査器連接高電位側電源配線之技術本身。

文獻2揭示了一種半導體裝置,該裝置具有設置多個配線層之多層配線構造,並通過設在層間絕緣膜之虛設檢査器,連接關於多層之虛設配線層。然而,文獻2沒有揭示將這些虛設檢査器電位固定到接地電位等穩定電位之技術。

文獻3揭示了一種半導體裝置,該裝置形成金屬遮蔽層覆蓋半導體基板主面之幾乎全部,而且將該遮蔽層固定到接地電位。然後該遮蔽層沒有配線構造(圖形線條構造),僅具有面構造。文獻3沒有揭示與遮蔽層位於同層之其他配線。這點與文獻3中"發明要解決之問題"一節1~5



8916326.gif

第 21 頁

401708

五、發明說明 (19)

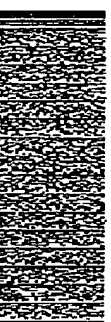
行之下列記載可知："已有之多層金屬配線構造中,各金屬層為配線層,因而不能利用這些配線層遮蔽外部侵入之雜訊,也不能遮蔽上層配線層發之雜訊侵入到基板。"虛設配線是一種經管不直接關於電路動作,但配置目的在於緩和位差之配線,根據該目的,當然必須與其他配線(直接關於電路動作之配線)設置在同層。因此,可得出文獻3中欠缺對虛設配線之揭示。

上文已所述,實施形態1之半導體裝置,其特徵在於,在多層形成虛設配線,這些虛設配線之間用虛設檢査器連接,而且這些虛設配線電位固定於接地電路。虛設檢査器可定義為連接虛設配線之檢査器。此特徵文獻1~3都沒有揭示。根據此特徵,如上文所述,能有致減小配線所傳佈上重疊之雜訊或串擾,取得前述之效果。文獻1~3都沒有預見到之。此外還可取得以下所述之效果。

中子線等字宙線在半導體基板中穿行時,引起構成半導體基板之原子核與字宙線之間之相反應,結果放出 α 線。 α 線運行中生成電子一空穴對。電子一空穴對之電荷成為半導體裝置動作差錯之原因。該現象稱為軟性偏差。

如果能在侵入到半導體基板1之前,消滅發生之 α 線,或者在層間絕緣膜、配線或檢査器層消除其發生之電子一空穴對,就能抑制軟性偏差。將在多層形成之虛設配線用虛設檢査器連接,而且使其電位固定,因而可某種程度消除 α 或電子一空穴對。此效果,文獻1~3也都不不能預期。

1.3 虛設配線之最佳形態



8916326.gif

第 22 頁

461108

五、發明說明 (20)

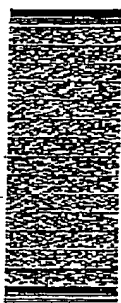
圖8為顯示出圖7所示一例半等體裝置配線25、28平面形狀之剖面立體圖。如圖8所示，虛設配線25a、25b和配線28b、28c、28d相互平行，而且它們之平面形狀均為帶狀。圖8之形態中具有配線25、28之平面形狀簡單，佈局設計方便之優點。

與此相對應，圖9所示例子中，虛設配線25a、25b和配線28b、28c、28d相互平行，這點和圖8之例子沒有差別，但虛設配線25a、25b之平面形狀具有沿延伸方向反複凹凸之起伏構造，這點與圖8例有特徵性之差異。由於起伏構造，虛設配線25a、25b之表面積增加，因而虛設配線25a、25b之電容變大，隨之，可取得提高遮蔽效果之優點。

圖9中，可發現虛設配線25a與虛設配線25b之間，起伏構造不同。虛設配線25b之起伏構造，其配線寬度比原來之配線寬度（適合線和位差這一虛設配線目的之必須寬度）200a窄之部分形成反復，與此相反，虛設配線25b之起伏構造，其配線寬度比原來之配線寬度200b寬之部分形成反復。可在權衡配線28與虛設配線25之間之空間與線印作業或蝕刻作業中之最小配線寬度之基礎上，對兩者進行選擇。例如，原來之配線寬度200b與線印作業或蝕刻作業之最小配線寬度相當時，可採用虛設配線25b那樣，具有比原來之配線寬度寬之部分之起伏構造。

2.實施形態2

本發明之實施形態2，說明一例半等體裝置。該半等體



8916336.tif

第 23 頁

401108

五、發明說明 (21)

裝置在多层形成虛設配線，這些配線用虛設檢查連接，而且這些虛設導電體（虛設配線和虛設檢查之總稱）不限於連接導通接地電位之接地配線，也連接以低電位側電源電位和高電位側電源電位為基準導通固定電位（即穩定電位）之配線，由此，半等體裝置動作時，虛設導電體之電位固定於穩定電位。具體而言，本實施形態2說明之一個例子在低電位側電源電位（包含接地電位） V_{ss} 、高電位側電源電位 V_{dd} 、預充電電位 V_{pre} 和基準電位 V_{ref} 中，選擇最接近解導電體導通電位之穩定電位，並將虛設導電體之電位固定於該電位，另一個例子則相反選擇不同之穩定電位，並將虛設導電體電位固定於該電位。

通常，將虛設配線固定於穩定電位，則可加大借助虛設配線之遮蔽作用，抑制配線上重疊之雜訊或串擾之效果。首先，對此進行詳細說明。

2.1配線間電容之簡單模型

圖10為說明線條和空間間隔之產生之寄生電容之模式圖。在下層配線M1和上層配線M2之間配置相互層之配線M1~M5。配線M1~M5中也含虛設配線M2、M4，配線M1、M3、M5是對電路動作直接有貢獻之配線。各配線之間隔中之電容，下角之字元表示對電容起作用之配線號，上角字元“a”表示電容之面積分量，“p”表示電容之線微分量，“C”表示耦合分量。

LSI之間距變窄，則通常配線間之隔變窄。用平行板



8916336.tif

第 24 頁

4011UB

五、發明說明 (22)

電容C近似表示層於同層之配線之間之耦合電容，則可用下式表示耦合電容。

$$C_c = \epsilon \frac{S}{d}$$

(式1)

式中， ϵ 為層間絕緣膜之介電係數， d 為平行板之間隔， S 為平行板之面積。保持介於上層配線和下層配線之間之層間絕緣膜之厚度，同時使配線M1~M3在同層內之配線間隔變窄時，由於配線間隔和等於式1之間隔 d ，所以耦合電容變大。具體而言，隨著LSI微細化進展而間距變窄時，寄生電容分量中之耦合分量成為支配因素。配線M3之寄生電容中耦合電容之分量用下式2表示。

$$C_g^0 = C_{gs}^0 + C_{ga}^0$$

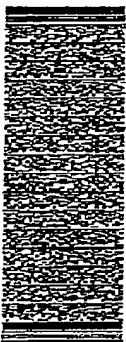
(式2)

耦合電容引起之配線M3上之電壓電荷用下式3表示。

$$Q_g^0 = C_{gs}^0 \cdot \Delta V_{gs} + C_{ga}^0 \cdot \Delta V_{sa}$$

(式3)

此電壓電荷為造成配線M3所傳信號延遲之原因。在以上各項之基礎上，設想以下兩種情況，考慮適合虛設配線施加之電位。



89116326-91d

第 25 頁

4011UB

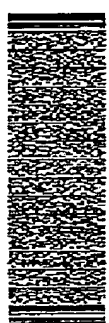
五、發明說明 (23)

2.1.1 配線M3之電位為 V_{gs} 或 V_{gs} 之情況

在配線M3之電位為低電位側電源電位(包含接地電位0V) V_{ss} 或高電位側電源電位 V_{DD} 之情況下，配線M3之電位需要按一定電位加以穩定。在配線M1、M5為信號線，且沒有虛設配線M2、M4時，配線M3上產生耦合分量 C_{g1} 和 C_{g5} ，由於配線M1、M5所傳信號之影響，在配線M3激發雜訊，配線M3之電位可能不穩定。

為了解決這個問題，設置虛設配線M2、M4，並且在配線M3為輸送高電位側電源電位 V_{DD} 之高電位側電源線時，可將配線M2、M4固定於高電位側電源電位 V_{DD} ，而在配線M3為輸送低電位側電源電位 V_{ss} 之低電位側電源線時，可將配線M2、M4固定於低電位側電源電位 V_{ss} 。根據式3，配線M3與配線M2之間、M3與配線M4之間都沒有電位差，因而配線M3之寄生電荷減少。因此，具有以下效果：即使配線M3為長配線時，儘管如配線M3上有電位變動，借助電源電壓穩定電路之動作，配線M3之電路恢復到高電位側電源電位 V_{DD} 之時間也不長。而且，通過使配線M2、M4之電位固定，將配線M3與配線M1、M5遮斷。因此，由於配線M1、M5所傳信號不影響配線M3，配線M3之電位穩定。

例如，圖7所示構造中，配線28d為高電位側電源線時，如果將虛設配線25a固定於高電位側電源電位 V_{DD} ，則配線28d與虛設配線25a之間之寄生電荷減少。因此，假設是增長之金屬配線28d中，即使在遠離電源處發生電壓下降，也因共電阻分量大，所以可在寄生電容小之短時間校正電



89116326-91d

第 26 頁

461108

五、發明說明 (24)

壓下降，使電位恢復到原來之高電位側電源電位 V_{DD} 。同時，利用虛設配線25a使作為信號線之配線28b與配線28d相互遮蔽，因而配線28b和配線28d雙方之雜訊減少。

2.1.2 配線M3為預充電線之情況

在配線M3為預充電線之情況下，作為一系列電路動作之一種形態，配線M3上施加預充電電位 V_{PC} （通常等於 $V_{DD}/2$ ）或 $V_{DD}/2$ （ $=V_{DD}/2$ ）或 V_{DD} 。例如，半導體裝置為DRAM或SRAM時，成對之位線是一種預充電線，在從存儲單元讀出資料之操作或對存儲單元寫入資料之前，受到預充電。位線預充電後，傳輸電扇體等導通，將微小之電壓重疊在位線上。在成對之位線之間，用輸出放大器進行電位比較，從而一位線之電位比另一位線之電位高時，一位線之電位變化到一位高電位側側電源電位 V_{DD} 。反之，比較一位線電位低時，變化到一位低電位側側電源電位 V_{SS} 。通過比較成對位線電位，可進行各存儲單元之位元資訊之讀出和寫入。

這樣，配線M3為預充電線時，預充電電位從 $V_{DD}/2$ 變化到0V或 V_{DD} ，或者作相反之電位變化。頻繁進行這種週期變化，以這種電壓變化為起因，在預充電線周圍之配線上散發雜訊。因此，最好將預充電線與周圍遮蔽或開。與此同時，通過遮蔽預充電線，也能抑制在預充電線上散發周圍信號線引起之雜訊。

式3所示之起固於組合電壓並在配線M3上散發之散發電荷，隨著配線M2與配線M3之間之電位差、配線M3與配線M4之間之電位差變小而變少。如果M2、M4預先施加預充電

461108

五、發明說明 (25)

電壓 $V_{DD}/2$ ，則電荷 Q_f 之時間平均值接近最小。因此，配線M3為預充電線，並預充電到電位 $V_{DD}/2$ 時，最好虛設配線M2、M4也固定到預充電電位 $V_{PC} = V_{DD}/2$ 。

圖8之接連中，例如，若配線19b為預充電線，則將虛設配線21a、21b和虛設接連22a、22b固定為預充電電位 V_{PC} 時，配線19b中由於寄生電荷時間平均值減少，可得近S/N比高之信號。同時，可抑制在周圍配線19a、19c散發預充電線電位變化引起之雜訊。

不僅DRAM或SRAM，而且在反相等選擇電路中，為了電路操作高速化，往往對其輸出端連接之配線也進行預充電。這時，預充電線開始設定為高電位側側電源電位 V_{PC} ，然後隨著電路操作，變化到低電位側側電源電位 V_{SS} 。電位變化為 V_{DD} ，比較大，因而產生在預充電線周圍之配線散發大雜訊之問題。

因此，例如，在圖10中，配線M3為預充電線時，將虛設配線M2、M4也固定為預充電電位 V_{PC} ，造成配線M3之周圍，因而能防止M3發生之雜訊波及配線M1、M5等別之信號線。

在反相等選擇電路中，前述預充電線上，由於電路操作而變化到低電位側側電源電位 V_{SS} 之頻度低時，如果也在圖10之虛設配線M2、M4施加預充電電壓，則如式3所示，配線M3上沒有散發寄生電荷，因而可獲得電路操作進一步加快之效果。

如上前述，虛設配線上要施加之電位因同一半導體裝置

461108

五、發明說明 (26)

中電路部位而不同。因此，可以有許多條虛設配線和虛設配線，按照同一半導體裝置中之部位，固定在不同之電位。

2.2 虛設配線之配線電磁感應

上節中，說明了固預充電線電位變化而發生之雜訊。這裏說明引起這種雜訊之原因，即配線中電磁感應。圖11為說明配線中電磁感應之模式圖。考慮配線M1表面上同樣分佈之電荷以 $-Q(t) = -Q(t) \sin \omega t$ 之形式隨時變化之情況，流通之電流為 $-dQ/dt = -Q \omega \cdot \cos \omega t$ 。

在這種情況下，計算配線M1與配線M2之間發生之磁場。配線M2中產生磁像電荷 $+Q(t)$ 。對配線M2適用高斯法則 $\text{div} D(x, t) = \rho(x, t)$ 。這裏， $D(x, t)$ 為電通量密度， $\rho(x, t)$ 為電荷密度。配線M2中用虛線表示之矩形區域內，配線M2之內卻不存在電荷，電荷僅存在於配線M2之表面。設配線M2之長度為 L ，矩形區域法線方向之電場強度為 $E(t)$ ，則根據高斯法則，以下之式4成立。

$$\epsilon \cdot E(t) = \frac{Q(t)}{L \cdot S} \quad (\text{式4})$$

式中， ϵ 為填充金屬配線之間之層間絕緣膜之介電係數。根據安培-奈克斯威爾法則，式5成立。

$$\text{rot} H(x, t) = j(x, t) + \frac{\partial D(x, t)}{\partial t} \quad (\text{式5})$$



89116326.tif

第 29 頁

461108

五、發明說明 (27)

設想圍繞配線M1、M2間之層間絕緣膜上設定之中心軸半徑為 R 之圓板。由於沒有電流， $i(x, t) = 0$ 。在半徑為 R 之圓板 P 上進行面積分，則在左面為：

$$\int_P \text{rot} H(x, t) \cdot n ds = \int H \cdot dx = 2\pi R \cdot H(R) \quad (\text{式6})$$

右面為：

$$\int_P \frac{\partial D}{\partial t} \cdot n ds = \pi R^2 \cdot \frac{dQ(t)}{S \cdot L \cdot dt} = \frac{\pi R^2}{S \cdot L} \cdot \omega Q \cos \omega t$$

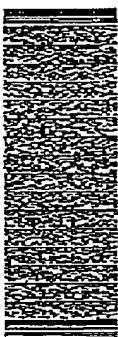
(式7)

因此，可得：

$$H(R) = \frac{\omega Q}{2S \cdot L} \cdot R \cos \omega t = \frac{R I_1}{2S \cdot L} \quad (\text{式8})$$

式中， I_1 為流通M1之電流。

如式8所示，在相對之配線產生配線M1所流電流 I_1 引起之磁場。若該磁場變化，則在配線M2產生電動勢，使位移電流流動。此位移電流不是伴隨信號之電流，起雜訊之作用。因此，有信號電流之配線M1與配線M2之間，通過配置固定在0V或預充電電位 V_{pc} 之虛設配線，可防止這種雜訊。如上所述，使配線與其相對之虛設配線之間之電位差為



89116326.tif

第 30 頁

461108

五、發明說明 (28)

擊，可抑制寄生電荷之發生，從而縮短恢復到原來電位之時間。結果，進一步有效減小在配線線路之雜訊。

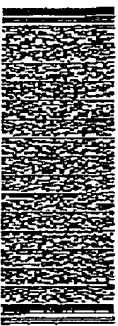
反之，配線與其相鄰之虛設配線之間施加電位差，由此，也能有效減小在配線線路之雜訊。這是因為由於電位差產生之寄生電荷多，一旦電位變化，恢復原電位所需時間，但存在由寄生電荷在配線與虛設配線之間產生之電力線，所以電位不容易變化。下一節將說明，可根據配線所傳信號之類別，對這兩種電位差進行靈活應用。

2.3 虛設導電體電位固定例

下面，顯示出根據以上所述結構，將虛設導電體固定於各種電位之例子。圖12為顯示出虛設導電體固定於接地電位之半導體裝置例之剖面圖。因此，圖12之半導體裝置符合實施形態1。圖12中，同時顯示出實施形態1之圖7省略之虛設導電體與接地配線之連接部分例。

圖12之半導體裝置中，作為MOSFET之源、汲極之一對極板46上，連接配線8A、8B，配線8A通過控制20A、配線19C和控制28A，連接到配線28A。配線8B連接到配線70。配線28A通過控制71連接最上層之配線72。配線72作為低電位側電源配線設置。

作為第1層配線，除配線8A、8B外，還設置虛設配線9A~9C。作為第2層配線，設置包含配線19C之配線19A~19D，以及虛設配線21A、21B。虛設配線9C、21A連接虛設控制22A、20A，虛設配線21B連接虛設控制20B。虛設控制20A、20B與虛設控制29A一起連接配線28A。由此，虛設導



6916125.tif

第 31 頁

461108

五、發明說明 (29)

電線9C、22A、21A、26A、26B、21B與導電線46、20A、19C、29A一起固定於低電位側電源電位 V_{ss} 。

圖12中顯示出導電體及其相鄰虛設導電體都固定於低電位側電源電位 V_{ss} 之例子，但如圖13所示，這些導電體之電位可以有各種組合。

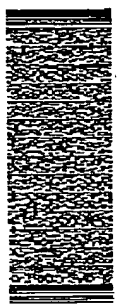
組合號1、4、8、12目的在於，利用虛設配線21A、21B有效追蹤配線19C中引起之雜訊，並使虛設配線21A、21B與配線19C之間之電位差為零，以便降低配線19C所發生寄生電荷引起之雜訊。

組合號2、3、5、8、7、9、11、12之目的在於，利用虛設配線21A、21B有效追蹤配線19C中引起之雜訊，並在虛設配線21A、21B與配線19C之間施加電位差，使配線19C之電位穩定，從而降低雜訊。

配線19C為傳導信號 V_{sig} 之信號線時，在追蹤作為信號線之配線19C與之雜訊之意義上，組合號13、14、15、16都是有效之。圖12中，作為信號線之配線與虛設配線交互配置，但也可每隔多條信號線配置一條虛設配線。

為了減小配線上散發之雜訊，使配線與其相鄰虛設配線之間之電位差為零之形態，在組合號4時最佳，配線與其相鄰虛設配線之間施加電位差之形態，則在組合號2、3時最佳。

與圖13之組合號1、8、12相當之形態，可和圖12一樣畫出。圖12中，如果配線72為低電位側電源線，則圖12顯示出組合號8之形態例，而該配線為基板電位值，則顯示出



6916125.tif

第 32 頁

461108

五、發明說明 (30)

組合號12之形態例。

圖14顯示出組合號4之形態例。圖14中，配線28A為預充電線。本例中，預充電線共用成設配線21A和配線19C，用同一預充電電路設定它們之電壓，可獲得半導體裝置1上方減少共用預充電電路部分之面積負擔之優點，也可分別用單獨之預充電電路設定成設配線21A和配線19C之電壓。這時，需要使預充電電路相互同步。

圖15顯示出組合號2、3之形態例。圖15中，由虛設檢査71A、71B和最上層之虛設配線72連接成設配線25A和虛設配線25B。配線28A為高電位側電源電位線，虛設配線72在圖中未出現之部位連接低電位側電源電位線或基板電位線。

圖16顯示出組合號14之形態例。圖16中，虛設配線21A、21B分別連接半導體裝置中所設預充電電路80具備之MOSFET81、82之源、汲極。在MOSFET81、82之連接部分施加預充電電位 V_{rc} ，它們之閘極輸入預充電信號 S_{rc} 。配線19C為傳遞信號 V_{sig} 之信號線。

圖17顯示出組合號13、16、16之形態例。圖17中，虛設配線21A、21B分別連接半導體裝置中所設電源電位信號電路85具備之MOSFET86、87之源、汲極。MOSFET86、87之連接部分施加低電位側電源電位 V_{ss} ，而高電位側電源電位 V_{dd} 或基板電位 V_{ss} ，這些電晶體之閘極輸入電源電位信號 S_{rc} 。配線19C為傳遞信號 V_{sig} 之信號線。

3.實施形態3



8316326.tif

第 33 頁

461108

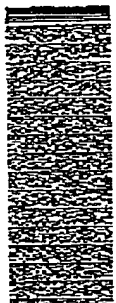
五、發明說明 (31)

圖18顯示出組合號9之形態例。圖18中，配線28A為預充電線。本例中，預充電線共用成設配線21A和配線19C，用同一預充電電路設定它們之電壓，可獲得半導體裝置1上方減少共用預充電電路部分之面積負擔之優點，也可分別用單獨之預充電電路設定成設配線21A和配線19C之電壓。這時，需要使預充電電路相互同步。

圖19顯示出組合號2、3之形態例。圖19中，由虛設檢査71A、71B和最上層之虛設配線72連接成設配線25A和虛設配線25B。配線28A為高電位側電源電位線，虛設配線72在圖中未出現之部位連接低電位側電源電位線或基板電位線。

圖20顯示出組合號14之形態例。圖20中，虛設配線21A、21B分別連接半導體裝置中所設預充電電路80具備之MOSFET81、82之源、汲極。在MOSFET81、82之連接部分施加預充電電位 V_{rc} ，它們之閘極輸入預充電信號 S_{rc} 。配線19C為傳遞信號 V_{sig} 之信號線。

圖21顯示出組合號13、16、16之形態例。圖21中，虛設配線21A、21B分別連接半導體裝置中所設電源電位信號電路85具備之MOSFET86、87之源、汲極。MOSFET86、87之連接部分施加低電位側電源電位 V_{ss} ，而高電位側電源電位 V_{dd} 或基板電位 V_{ss} ，這些電晶體之閘極輸入電源電位信號 S_{rc} 。配線19C為傳遞信號 V_{sig} 之信號線。



8316326.tif

第 34 頁

461108

五、發明說明 (32)

沒有虛設配線和虛設接墊之已有半導體裝置中，存在層間絕緣膜破裂、因而基板溫度變高之問題。為了發散層間絕緣膜產生之熱，降低其溫度，已有之半導體裝置在半導體基板主面上方或底面安裝散熱件。這種情況下，層間絕緣膜中產生之熱開始傳到散熱件而被散熱。然而，象銅線那樣設置多層配線之層間絕緣膜中產生之熱，由於層間絕緣膜中之熱傳導係數小，不能迅速發散，存在難於抑制基板溫度到足夠低之問題。

本發明所實施形態3之半導體裝置或系統，係將配線之熱傳導係數提高，使層間絕緣膜中產生之熱能迅速發散，從而抑制層間絕緣膜破裂之發生。

圖18為表示實施形態3之半導體裝置構造之剖面圖。圖18之半導體裝置與圖7所示實施形態1之半導體裝置之特徵性差異在於，絕緣膜27呈塊狀熱傳導係數高之絕緣膜30，而且設置散熱墊35。即，圖18之半導體裝置，其特徵在於，(1)虛設配線和虛設接墊接地，(2)最上層之配線與散熱件32之間存在之絕緣膜30，其熱傳導係數比層間絕緣膜4、10、23之熱傳導係數大，圖18之半導體裝置中，散熱件32安裝成接觸絕緣膜30，但即使沒有散熱件32，由於存在絕緣膜30，也可取得比以往之半導體裝置高之冷卻效果。

圖19為顯示出實施形態3之另一半導體裝置構造之剖面圖。圖19之半導體裝置，其特徵在於，(1)虛設配線和



89116326.pdf

第 35 頁

461108

五、發明說明 (33)

虛設接墊地，(2)絕緣膜30之一部分形成接墊31，並通過接墊31連接散熱件32和最上層之虛設配線。

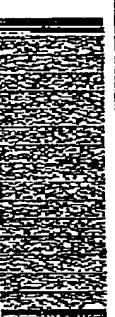
虛設配線和虛設接墊之材料是金屬，因而將所接觸層間絕緣膜產生之熱高發散傳到散熱件32，散熱傳導速度，金屬比絕緣膜高，因而與沒有虛設配線和虛設接墊之已有半導體裝置相比，冷卻層間絕緣膜之熱之效果大。因此，能提高半導體裝置之電路動作速度。

圖18和圖19之虛設配線平面形狀也可為圖8所示之形狀，還可如圖9所示，取為短狀構造。通過採用短狀構造，增加虛設配線之表面積，因而促進對從層間絕緣膜到虛設配線之熱之吸收，進一步提高冷卻效果。

如圖20和圖21對圖9中部分A-A剖切線之剖面構造制所示，不僅沿半導體基板1主面之方向，而且在垂直主面之方向都可形成短狀201。短狀201是一種連接虛設配線25a之虛設接墊。通過設置短狀201，可進一步提高冷卻效果。圖20中，短狀201不連接下層之虛設配線，但圖21中則連接下層之虛設配線21a。圖21之例中，促進從虛設配線21a到虛設配線25a之熱傳導，因而進一步提高冷卻效果。

文獻2揭示一種半導體裝置，該裝置在位於最上層之配線上設置散熱件，並且最上層之虛設配線通過虛設接墊連接散熱件。然而，如實施形態1所述，文獻2沒有揭示將這些虛設接墊電氣固定於接地電位等穩定電位之技術。同時，也沒有揭示短狀構造：

4. 實施形態4



89116326.pdf

第 36 頁

461108

五、發明說明 (34)

本發明實施形態4之半導體裝置，其特徵在於，虛設配線通過虛設接墊連接STI或BOX層（埋入氧化層）。根據該特徵，可有效地進行STI或BOX層之冷卻。

圖22為所示實施形態4之半導體裝置排布之側面立體圖。圖22之半導體裝置與圖7所示實施形態1之半導體裝置之特徵性差異在於，作為一種STI207之STI207，在其上部形成溝槽，該溝槽中以埋設金屬層208為中介，埋設導電層209，該導電層209通過虛設接墊210連接虛設配線9a。

在圖22之半導體裝置中形成其特徵溝槽時，首先採用蝕刻，有選擇性地剷除半導體基板1之主面上所形成STI207之上部，從而形成溝槽。然後，在溝槽之側面和底面形成厚度為金屬層208。接著，用金屬填入溝槽內，從而形成虛設導電層209。通過其後作業，金屬層209與虛設接墊210連接虛設配線9a，進而連接上層之虛設配線。最後，導電層209通過用金屬構成之虛設接墊和虛設配線，連接位於最上層之虛設配線25a。

圖23之半導體裝置與圖22之半導體裝置之特徵性差異在於，在形成STI207之溝槽時，導電層209通過虛設配線25a接地，因而使隔著STI207相互分別開之MOSFET之間得到通氣，從而提高抑制干擾之效果。如圖18或圖19所示，若在虛設配線25a之上方設置散熱件32，則可進一步加大STI207之冷卻效果。

如圖23所示，在形成STI207之溝槽時，導電層209通過虛設配線25a接地，因而使隔著STI207相互分別開之MOSFET之間得到通氣，從而提高抑制干擾之效果。如圖18或圖19所示，若在虛設配線25a之上方設置散熱件32，則可進一步加大STI207之冷卻效果。



8916326.ppt

第 37 頁

461108

五、發明說明 (36)

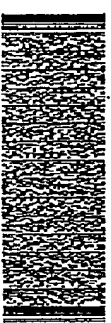
圖24為顯示出實施形態4之另一例半導體裝置之側面立體圖。圖24之半導體裝置中，半導體基板1構成為具有BOX214之SOI（絕緣體上：Silicon On Insulator）基板。作為元件分離構造形成底部卻不到達BOX214之STI，即PTI（部分溝隔離：Partial Trench Isolation）213，同時也形成到達BOX214之STI207。BOX214也可形成為以一般絕緣物作為材料之埋入絕緣層。

在形成STI207之上表面貫穿到底面、進而到達BOX214之溝中，以埋設金屬層208為中介，埋設導電層212。導電層212連接到達虛設接墊210。

在形成此特徵溝槽時，首先，在半導體基板1之主面上形成之STI207和BOX214形成溝槽。然後，在溝槽之側面和底面形成厚度為金屬層208。接著，用金屬填入溝槽內，從而形成虛設導電層212。導電層212通過虛設配線和虛設接墊連接虛設配線9a，進而連接上層之虛設配線。最後，導電層212通過用金屬構成之虛設接墊和虛設配線，連接位於最上層之虛設配線25a。

圖24之半導體裝置如以上所述那樣構成，因而能有效地散STI207和BOX214積存之熱。導電層212通過虛設配線25a接地，因而能加大使隔著STI207相互分別開之MOSFET之

散STI207和BOX214積存之熱。導電層212通過虛設配線25a接地，因而能加大使隔著STI207相互分別開之MOSFET之



8916326.ppt

第 38 頁

461108

五、發明說明 (36)

間得到遮蔽之效果。
使相互隔開之MOSFET之間得到有效遮蔽，從而可抑制這些MOSFET內電場相互干擾引起之短通道特性、逆短通道特性、窄通道特性和逆窄通道特性。圖22和圖23所示構造中也同樣是這樣。

圖25和圖26為表示受遮蔽之ST1207之應用例之俯視圖。遮蔽之ST1207指之是具有導電層209、211、212中之任一層，而且該導電層接地（或固定於穩定電位）之ST1207。圖25顯示出之半導體基板1中，作為功能塊，具有配置存儲陣列之存儲陣列區域81，以及置入逆短電路之逆短區域82，它們之間由ST1207隔開。用遮蔽之ST1207將位元線傳送微小信號之存儲陣列區域81與逆短區域82隔開，從而能抑制接到讀出放大器之位線中雜訊重量在信號上。結果，S/N比提高。同時，按晶片規模有效發散ST1207或BOX214積存之熱。

圖28顯示出之半導體基板1中，置入存儲陣列81，高速緩衝器92、CPU93、DPS94和輸入輸出介面95。即，圖28顯示出一例系統LSI。而且，這些功能塊由遮蔽之ST1207相互隔開。因此，能遮蔽各功能塊，同時能按晶片規模有效發散ST1207或BOX214積存之熱。

5. 變化例

以上之實施形態1到實施形態4中，設想為矽基板進行說明，但不限於只是矽基板，對以矽以外之半導體為主成份之半導體基板，而且對實施形態4中也舉例顯示出之S01



89116316.jpg

第 39 頁

461108

五、發明說明 (37)

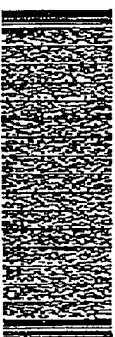
（絕緣體矽：Silicon On Insulator）基板，當然本發明也能適用。

能用本發明之半導體裝置為DRAM（動態隨機存取記憶體：Dynamic Random Access Memory）、SRAM（靜態隨機存取記憶體：Static Random Access Memory）、EEPROM（電可擦可編程或唯讀記憶體：Electrically Erasable Programmable Read Only Memory）、邏輯電路等，對這些裝置之半導體裝置，當然也適用。

以上說明之各附圖中，為了以圖解之方式進行說明，配線、檢査、虛設配線、虛設檢査盒或具有矩形剖面形狀，但由於包含使用說明、製造修正或應、造驗像並校正之轉印作業或蝕刻作業特有之效應，因而附加加工形狀具有厚度，或者尤其在轉角部分具有圓角和下凹等，未必加工成矩形之情況不少。對於具有厚度、圓角、下凹等之虛設配線和虛設檢査，各實施形態中說明之效果也有效，作為技術思想，當然屬於本申請之發明範疇。

6. 用語之含義

“虛設配線”沒有必要重新定義，是本領域廣泛用之概念，對本領域動作人員其概念是明確之。本領域所用之“虛設配線”，如已詳述之內容表明之那樣，可表達為：這是一種配線，該配線儘管不直接關於半導體裝置之電路動作，有沒有該配線，半導體裝置之電路上都沒有差別，但配置在直接關於電路動作且存在配線之配線層中，以提高該配線層之配線密度均勻性。因此，虛設配線之形狀不限



89116376.jpg

第 40 頁

A61108

五、發明說明 (38)

於只是本說明書揭示之形狀，也包含各種幾何形狀。"虛設檢蓋"可表達為連接虛設配線之檢蓋。即使虛設配線固定於接地電位等，本領域動作人員也能明瞭識別對HOSPET等半導體元件傳送接地電位等用之配線和虛設配線。

【發明之效果】

第1發明之裝置中，在多層形成虛設配線，這些虛設配線之間用虛設檢蓋連接，而且將這些虛設導電體固定於穩定電位，因而借助虛設導電體之遮蔽作用，能有效減少在配線上微發之靜電或干擾。又，能兼獲程度消除宇宙線引起之 α 線或二次發生之電子一空穴對，因而能減少來源於宇宙線之軟性偏差。

第2發明之裝置中，在多層形成虛設配線，這些虛設配線之間用虛設檢蓋連接，而且這些虛設導電體通過別之虛設檢蓋連接在元件分離構造之一部分中形成之導電層，因而能對元件分離構造進行有效冷卻，可有效減少半導體基板之溫度升高。

第3發明之裝置中，在元件分離之一部分構造中形成之導電層，通過虛設導電體連接穩定電位線，因而能有效減少元件分離構造所隔開之半導體元件之間之干擾。

第4發明之裝置中，導電層分別將多個功能塊中之各塊和元件分離構造一起包圍，因而能有效抑制功能塊間之干擾。

第5發明之裝置中，在元件分離構造設置導電層，因而能進一步加大元件分離構造之冷卻效果。



89115336.jpg

第 41 頁

A61108

五、發明說明 (39)

第6發明之裝置中，導電層貫穿前述元件分離構造，並到達埋入絕緣層，因而加大埋入絕緣層之冷卻效果，並有效減少半導體基板之溫度升高。

第7發明之裝置中，形成虛設配線，以將同層內配線部分夾在中間，因而能進一步加大降低靜電或干擾之效果。

第8發明之裝置中，設置虛設配線，以將配線部分之上方也覆蓋，因而能進一步加大降低靜電或干擾之效果。

第9發明之裝置中，虛設導電體上連接之穩定電位線為低電位側電源線、高電位側電源線、預充電電線或基板電位線，因而實現固定到穩定性高之電位。而且，根據要通過之配線所傳之電位，選擇穩定電位，從而能進一步加大遮蔽效果。

第10發明之裝置中，虛設配線在沿半導體基板主面之剖面形狀中，具有沿延伸方向反復凹凸之部分，因而虛設配線之表面積增大。因此，虛設配線之電容增大，能進一步加大遮蔽效果。

第11發明之裝置中，具有沿延伸方向反復凹凸之部分之虛設配線，其表面積增大，因而能進一步加大遮蔽效果。

第12發明之裝置中，反復凹凸部分中之凸起部分連接配線在下層之虛設配線之部分，因而能進一步加大發散層間絕緣膜積存之熱之效果。

第13發明之裝置中，具有覆蓋最上層，而且比層間絕緣膜熱傳導係數大之絕緣膜，因而能有效發散層間絕緣膜積



89115336.jpg

第 42 頁

461108

五、發熱說明 (40)

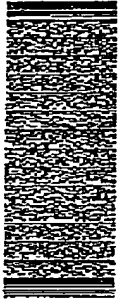
存之熱。

第14發明之裝置中，具有接觸線化膜之發熱件，因而能進一步有效發散層間絕緣膜積存之熱。

第15發明之裝置中，用另一虛設發熱連接發熱件和最上層之虛設配線，因而能進一步有效發散層間絕緣膜積存之熱。

【元件編號之說明】

- 1：半導體基板
- 2、207：元件分離構造
- 4、5、10、11、23、24：層間絕緣膜
- 8、19、28：配線
- 9、21、25：虛設配線
- 22、26、31、210：虛設檢查
- 23、30：絕化膜
- 32：散熱件
- 81、82、91、93、94、95：功能塊
- 209、211、212：導電層
- 214：埋入絕化層（埋入絕緣層）。



6916326.jpg

第 43 頁

461108

六、中導電線範圍

1. 一種半導體裝置，其特徵在於，具備：

具有主面並沿該主面置入半導體元件之半導體基板；
在前述主面上形成之層間絕緣膜；
配置在用前述層間絕緣膜而隔開之多層上之導電性配線；

在前述多層中包含兩層以上之層，與前述配線配置在同

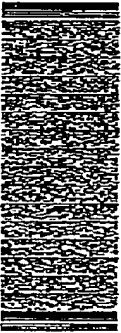
一層上之導電性虛設配線；
導電性虛設檢查，該虛設檢查有選擇性地埋設在前述層間絕緣膜中，使前述虛設配線在前述兩層以上之層間相互連接，而且該虛設檢查與前述虛設配線一起連接到穩定電位線，前述穩定電位線包含在前述配線中，以低電位側電源線或高電位側電源線傳遞之電位為基準，保持一定之電位。

2. 一種半導體裝置，其特徵在於，具備：

具有主面，並在前述主面上有選擇性地形成將該主面分為多個區域之元件分離構造，而且在前述多個區域置入半導體元件之半導體基板；
在前述主面上形成之層間絕緣膜；
配置在前述層間絕緣膜而隔開之多層上之導電性配線；

在前述多層中包含兩層以上之層，與前述配線配置在同

一層上之導電性虛設配線；
有選擇性地埋設在前述層間絕緣膜中，使前述虛設配線在前述兩層以上之層之間相互連接之導電性虛設檢查；



6916326.jpg

第 46 頁

461108

六、申請專利範圍

在前述元件分離構造之一部分中形成之半導體層；
有選擇性地埋設在前述層間絕緣膜中，使前述半導體層與前述虛設配線連接之另一導電性接點。

3. 如申請專利範圍第2項之半導體裝置，其中前述虛設配線和前述虛設接點連接到穩定電位線，前述穩定電位線包含在前述配線中，以低電位側電源線或高電位側電源線傳送之電位為基準，保持一定之電位。

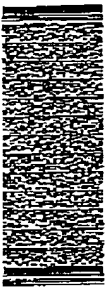
4. 如申請專利範圍第3項之半導體裝置，其中前述多個區域與精細電路中之多個功能塊對應；
前述多個功能塊分別和前述元件分離構造一起被前述半導體層所包圍。

5. 如申請專利範圍第2至4項中任一項之半導體裝置，其中前述元件分離構造之一部分上，形成溝，前述溝埋入前述半導體層。

6. 如申請專利範圍第2至4項中任一項之半導體裝置，其中前述半導體板還具有埋入絕緣層；
前述元件分離構造包含連接到此埋入絕緣層之部分；
前述半導體層有選擇性地貫穿前述元件分離構造之前述部分，並到達前述埋入絕緣層。

7. 如申請專利範圍第1、3或4項之半導體裝置，其中前述虛設配線配置成將前述兩層以上之層中之至少一層之前述配線所包圍之配線部分夾持住。

8. 如申請專利範圍第7項之半導體裝置，其中前述虛設配線配置成選在前述至少一層之上層覆蓋前述配線部分之



8916325.tif

第 47 頁

461108

六、申請專利範圍

上方。

9. 如申請專利範圍第1、3或4項之半導體裝置，其中前述穩定電位線為前述低電位側電源線、前述高電位側電源線、包含在前述配線中並傳遞預充電電位之預充電線，或者包含在前述配線中傳遞基板電位之基板電位線之任何一種。

10. 如申請專利範圍第1至4項中任一項之半導體裝置，其中前述虛設配線在沿前述主面之剖面形狀中，具有沿延伸方向反復凹凸之部分。

11. 如申請專利範圍第1至4項中任一項之半導體裝置，其中前述虛設配線在沿前述主面之垂直之剖面形狀中，具有沿延伸方向反復凹凸之部分。

12. 如申請專利範圍第11項之半導體裝置，其中前述反復凹凸部分中之凸起部分，連接配置在下層之虛設配線部分。

13. 如申請專利範圍第1至4項中任一項之半導體裝置，其中還具備純化膜，該純化膜覆蓋前述多層中之最上層，比前述層間絕緣膜之軟焊導熱性大。

14. 如申請專利範圍第13項之半導體裝置，其中還具備與前述純化膜接觸之散熱件。

15. 如申請專利範圍第14項之半導體裝置，其中在前述最上層，還配置有前述虛設配線；
前述半導體裝置還具備導電性之另一虛設接點，該虛設接點有選擇性地埋設在前述純化膜中，使前述散熱件與前



8916313.tif

第 48 頁

461108

六、申請專利範圍

1. 一種虛設配線之前述最上層所屬部分連接。



89116326.jpg

第 49 頁

461108

圖式說明

圖1為實施形態1之裝置之製造作業圖。

圖2為圖1之部分放大圖。

圖3為實施形態1之裝置之製造作業圖。

圖4為實施形態1之裝置之製造作業圖。

圖5為實施形態1之裝置之製造作業圖。

圖6為實施形態1之裝置之製造作業圖。

圖7為顯示出實施形態1之裝置構造之剖面圖。

圖8為顯示出實施形態1之裝置構造之剖面圖。

圖9為顯示出實施形態1之裝置之另一構造例之剖面圖。

圖10為說明實施形態2之裝置之動作原理之模式圖。

圖11為說明實施形態2之裝置之動作原理之模式圖。

圖12為顯示出實施形態2之裝置之構造例之剖面圖。

圖13為藉由表格形式而顯示出實施形態2之裝置之構造例之說明圖。

圖14為顯示出實施形態2之裝置之另一構造例之剖面圖。

圖15為顯示出實施形態2之裝置之另一構造例之剖面圖。

圖16為顯示出實施形態2之裝置之另一構造例之剖面圖。

圖17為顯示出實施形態2之裝置之另一構造例之剖面圖。

圖18為顯示出實施形態2之裝置之另一構造例之剖面圖。

圖19為顯示出實施形態2之裝置之另一構造例之剖面圖。

圖20為顯示出實施形態2之裝置之另一構造例之剖面圖。

圖21為顯示出實施形態2之裝置之另一構造例之剖面圖。

圖22為顯示出實施形態2之裝置之另一構造例之剖面圖。



89116326.jpg

第 44 頁

461108

圖式說明

圖23為顯示出實施形態4裝置之另一構造例之側面立體圖。
 圖24為顯示出實施形態4裝置之另一構造例之側面立體圖。
 圖25為顯示出實施形態4裝置之應用例之俯視圖。
 圖26為顯示出實施形態4之裝置之應用例之俯視圖。
 圖27為顯示出第1習知裝置之構造之側面圖。
 圖28為顯示出第1習知裝置之構造之側面圖。
 圖29為顯示出第1習知裝置之構造之側面圖。
 圖30為顯示出第2習知裝置之構造之側面圖。
 圖31為顯示出第2習知裝置之構造之側面圖。
 圖32為顯示出第2習知裝置之構造之側面圖。
 圖33為顯示出第2習知裝置之構造之側面圖。
 圖34為顯示出第2習知裝置之構造之側面圖。
 圖35為顯示出第2習知裝置之構造之側面圖。
 圖36為顯示出第2習知裝置之構造之側面圖。

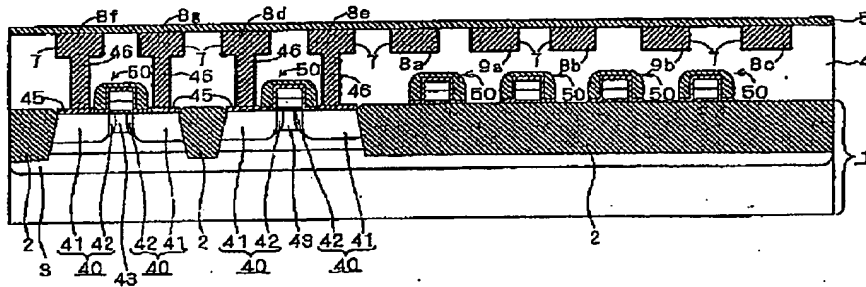


8911328-9-14

第 45 頁

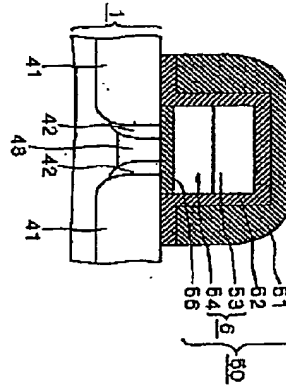
461108

圖 7



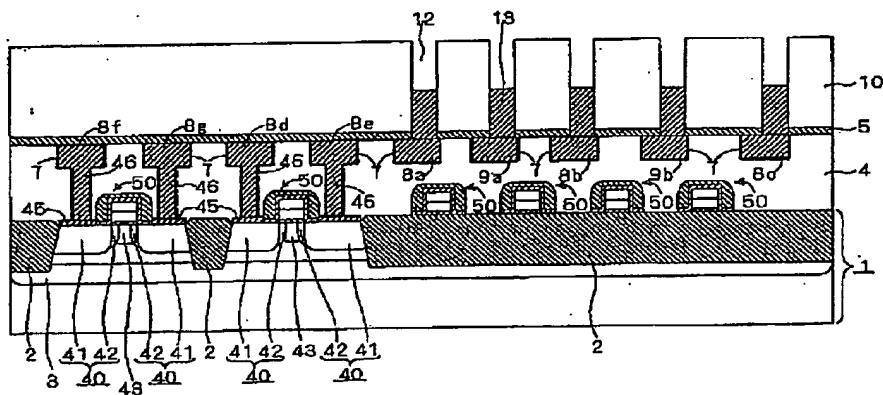
461108

圖 2



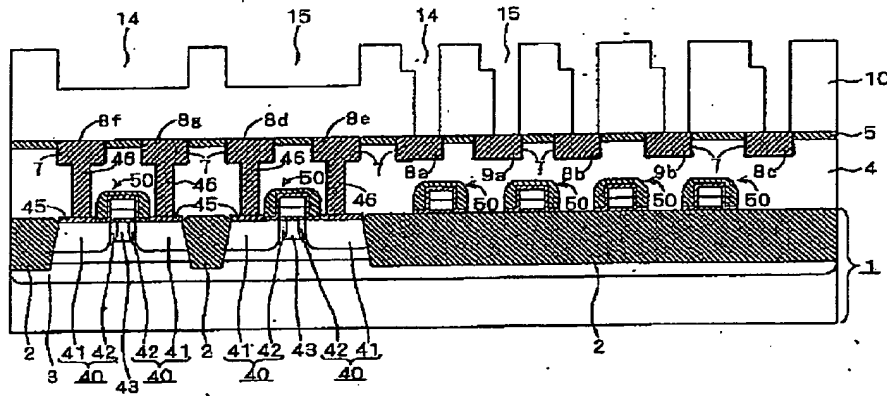
461108

圖 3



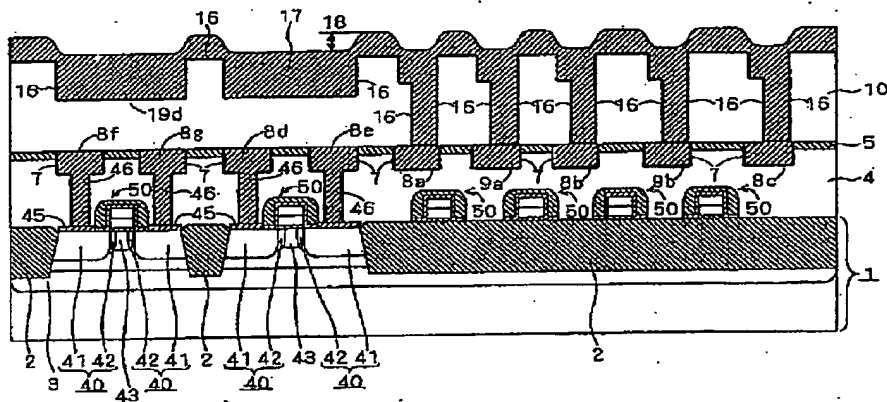
461108

圖 4



461108

圖 5



461108

圖 6

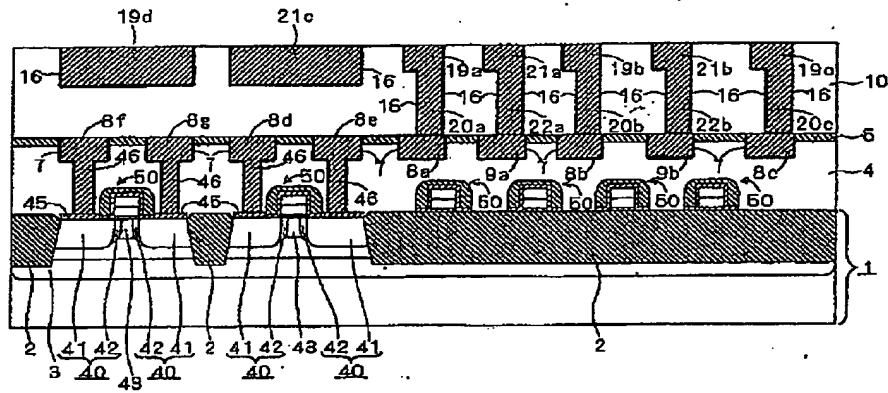
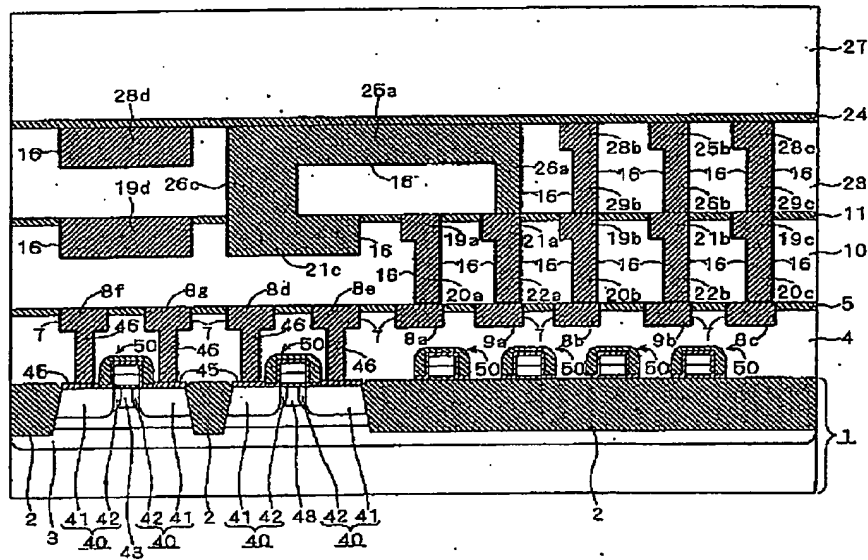


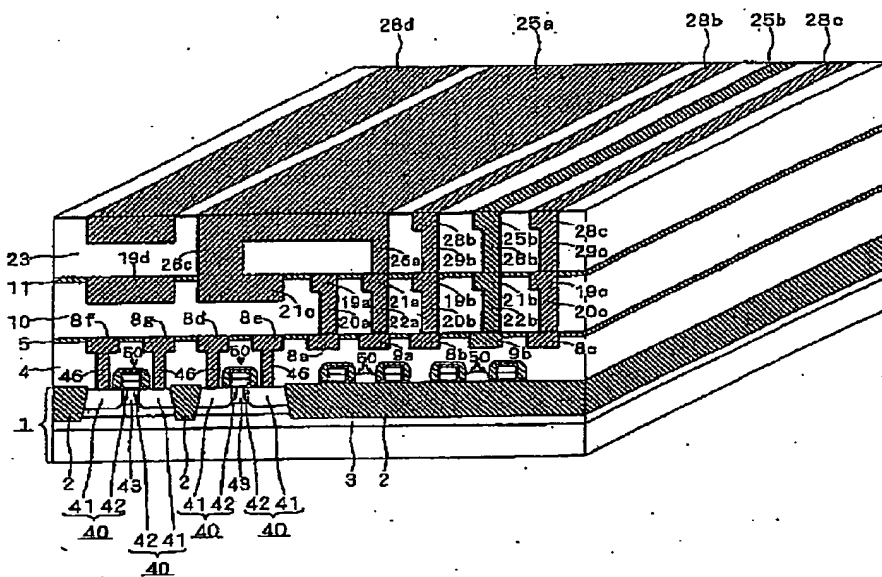
圖 7



461108

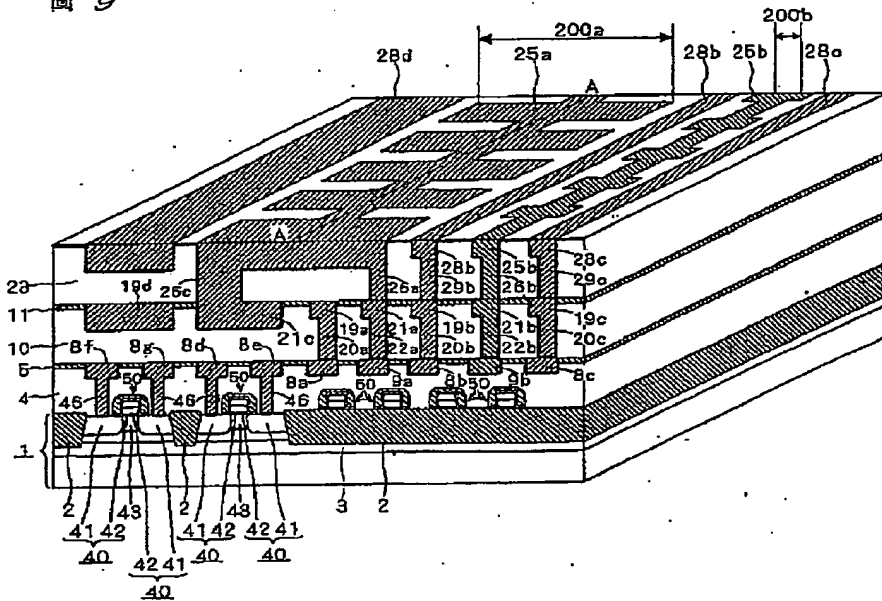
461108

圖 8



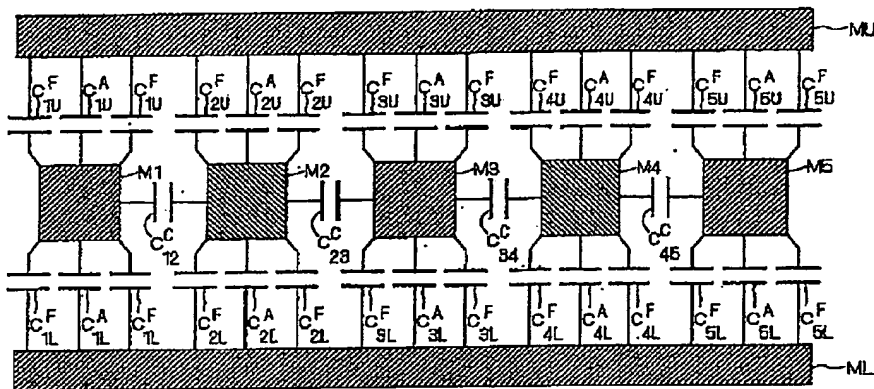
461108

圖 9



461108

圖 10



461108

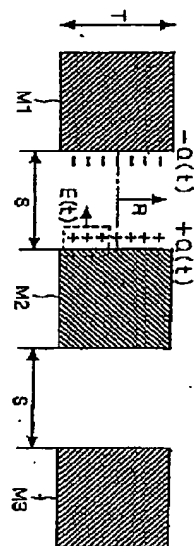


圖 11

461108

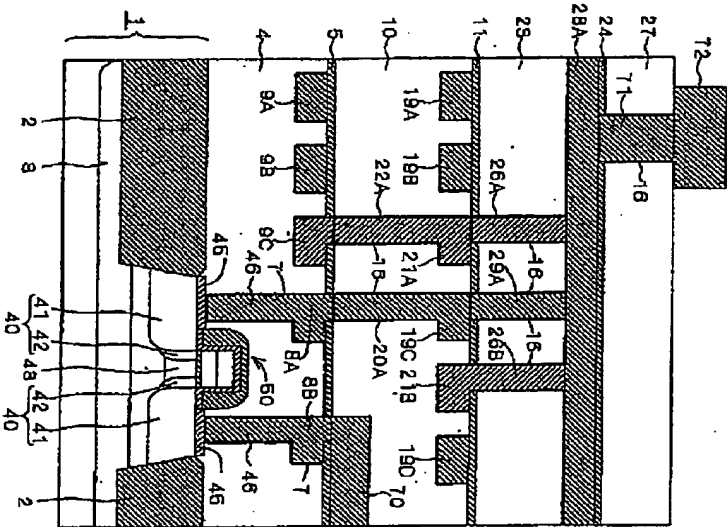


圖 12

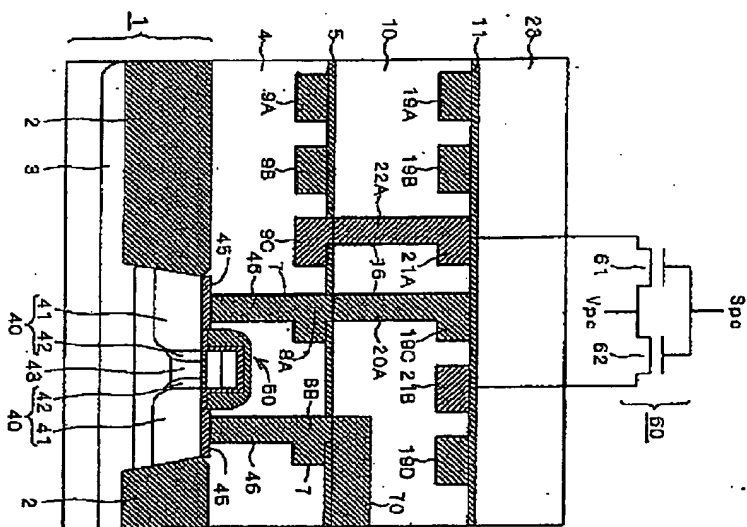
461108

配線 19C		虛設配線
1	VDD	VDD
2	VDD	V66
3	VDD	V66
4	VPC	VPC
5	VPC	VSS
6	VPC	V66
7	V66	VDD
8	V66	V66
9	V66	V66
10	V66	VDD
11	V66	V66
12	V66	V66
13	V66	VDD
14	V66	VPC
15	V66	VSS
16	V66	V66

圖 13

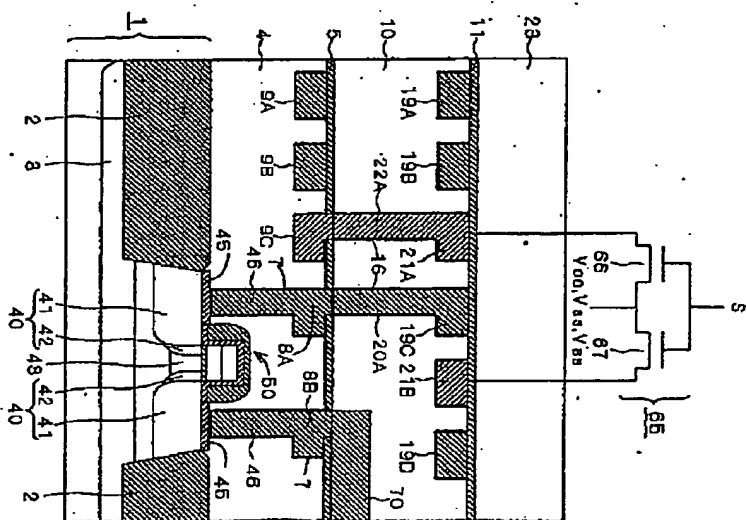
461108

圖 16



461108

圖 17



461108

圖 18

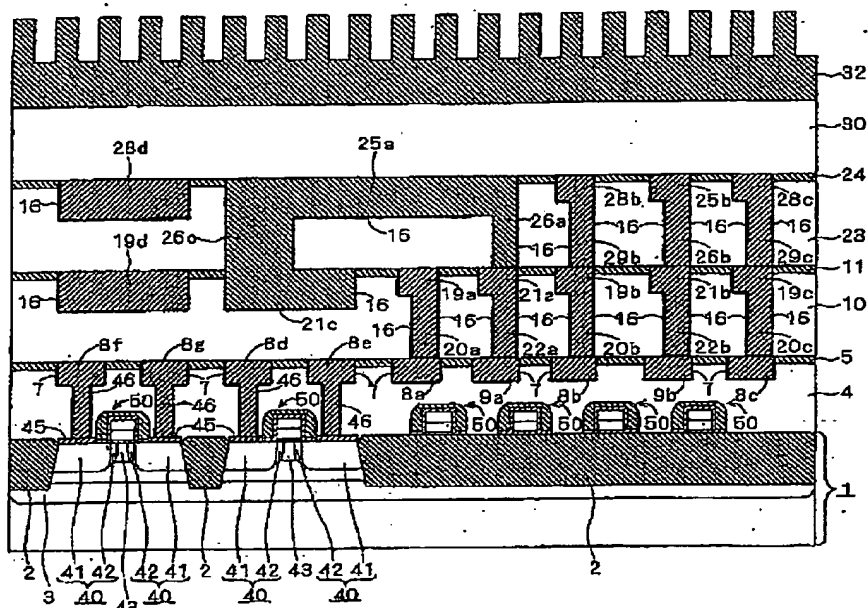
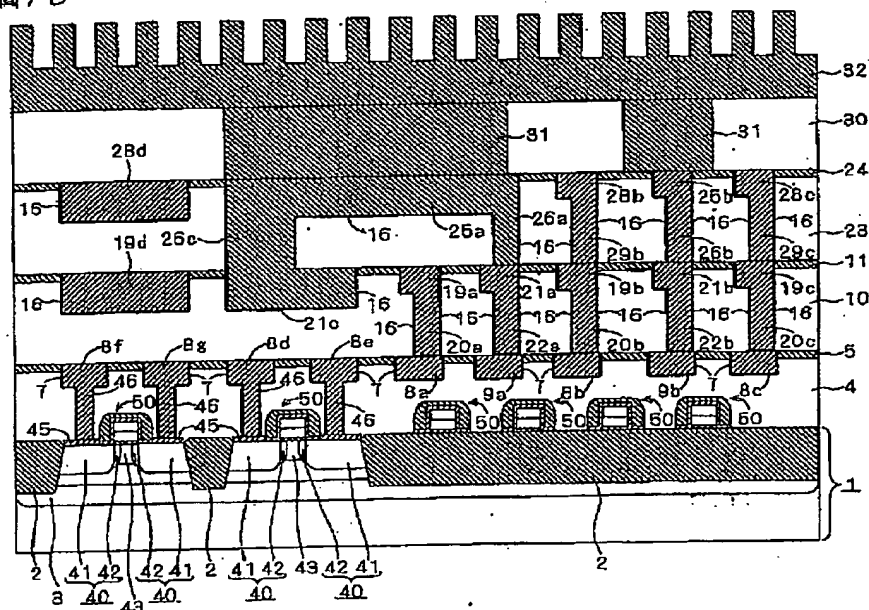


圖 19



461108

461108

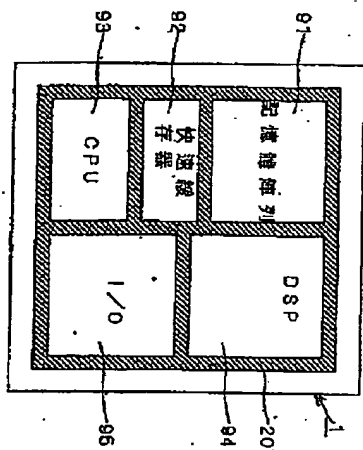


圖 26

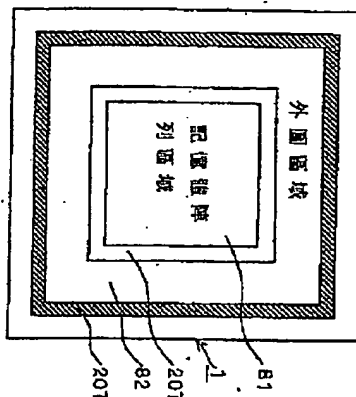


圖 25

461108

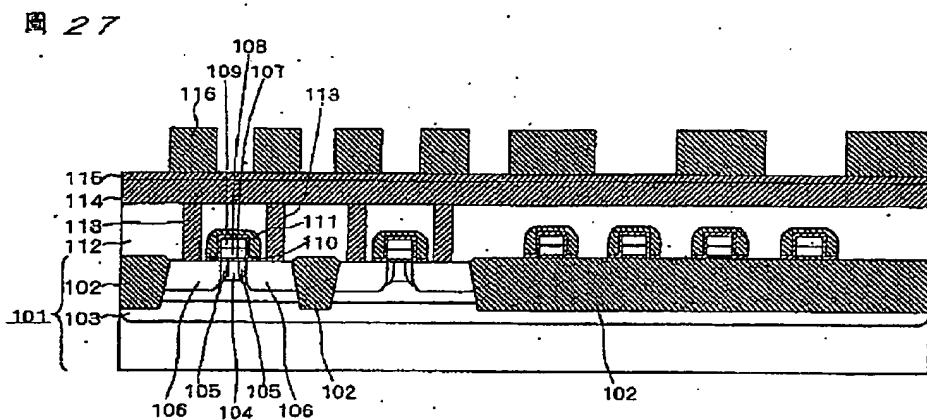
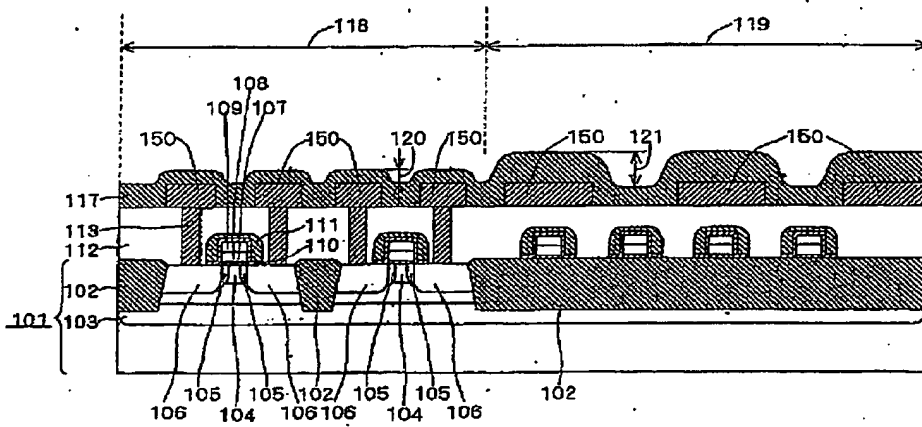


圖 27

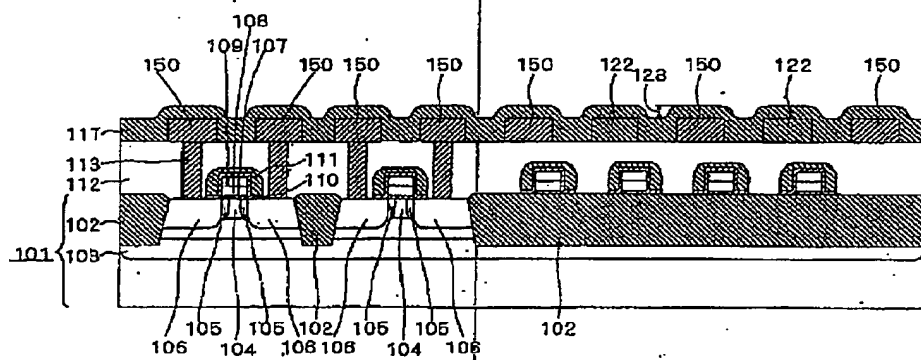
461108

圖 28



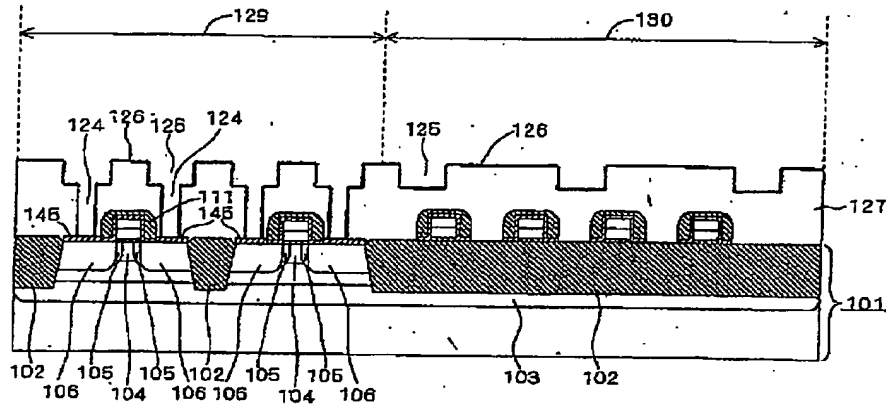
461108

圖 29



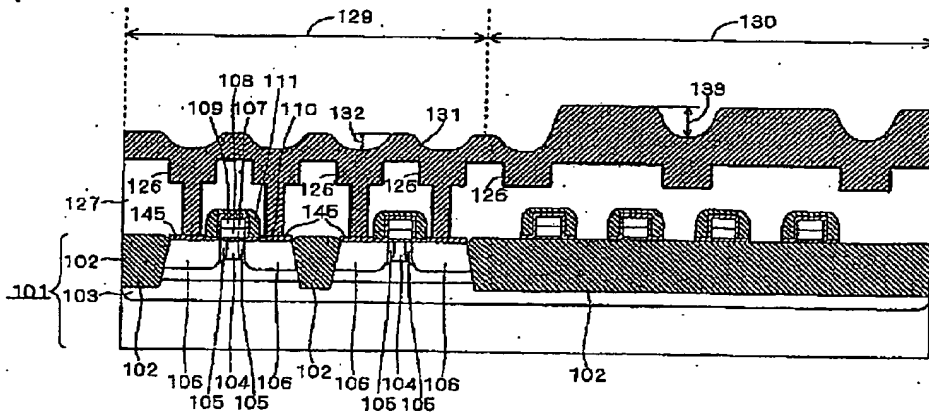
461108

圖 30



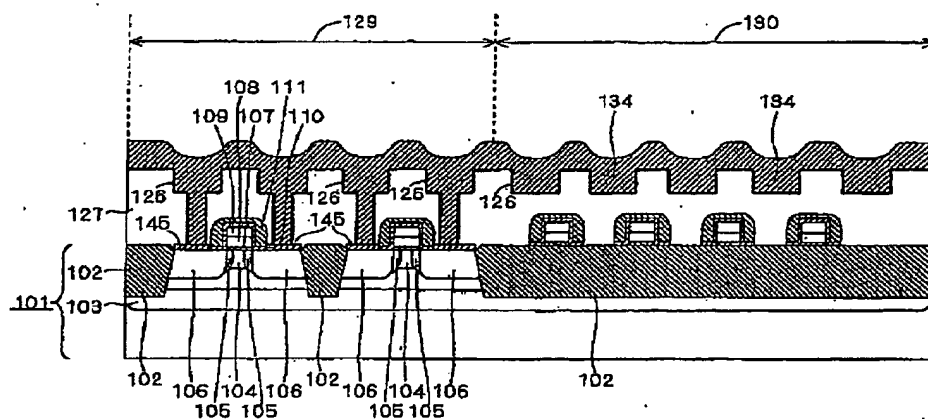
461108

圖 31



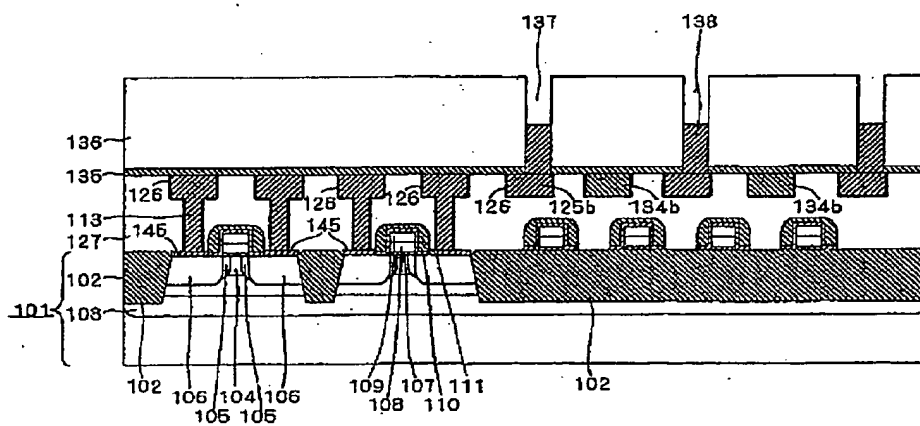
461108

32



4611.08

圖 33



4.61108

34

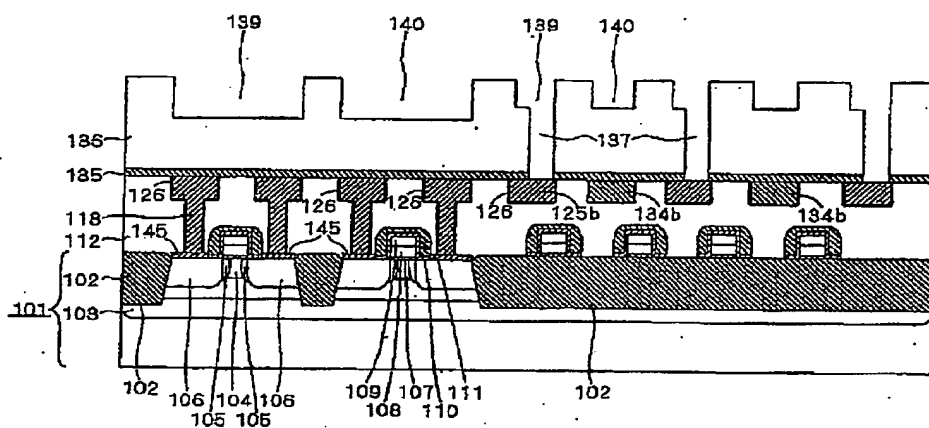
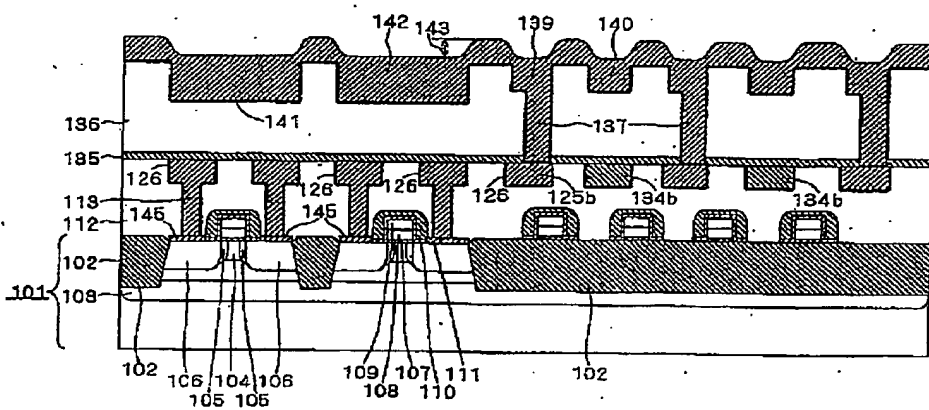


圖 3.5



461108

461108

圖 3.6

